

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03387628 **Image available**

ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 03-050528 [JP 3050528 A]

PUBLISHED: March 05, 1991 (19910305)

INVENTOR(s): SAKAMOTO MIKIO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-186748 [JP 89186748]

FILED: July 18, 1989 (19890718)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1204, Vol. 15, No. 198, Pg. 140, May
22, 1991 (19910522)

ABSTRACT

PURPOSE: To nearly eliminate a display flicker due to variance in liquid crystal cell thickness and variance in parasitic capacity by using a transfer gate of CMS constitution as an active element and equalizing the size ratio of an n channel transistor (TR) and a p channel TR.

CONSTITUTION: On a c-Si wafer, the CMOS transfer gate is formed as the active element by combining an n channel TR 101 and a p channel TR 102 for each picture element by the CMOS technique of a normal silicon LSI process. The n channel TR 101 and p channel TR 102 of this CMOS transfer gate are equalized in size, i.e. channel length and channel width. When the channel length and channel width are equalized, it is equivalent that both the channel TRs 101 and 102 are equal in source-gate parasitic capacity. Consequently, the display flicker due to variance in liquid crystal cell thickness and variance in parasitic capacity is almost eliminated.

Best Available Copy

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

9757906

Basic Patent (No,Kind,Date): JP 3050528 A2 910305 <No. of Patents: 001>

ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

(English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SAKAMOTO MIKIO

IPC: *G02F-001/136; G02F-001/133; G09F-009/30

JAPIO Reference No: 150198P000140

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|------------|------|--------|-------------|------|----------------|
| JP 3050528 | A2 | 910305 | JP 89186748 | A | 890718 (BASIC) |

Priority Data (No,Kind,Date):

JP 89186748 A 890718

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-50528

⑫ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月5日

G 02 F 1/136

5 0 0

9018-2H

G 09 F 1/133

5 4 5

7709-2H

G 09 F 9/30

3 3 8

8621-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 液晶表示装置用アクティブマトリクス基板

⑮ 特 願 平1-186748

⑯ 出 願 平1(1989)7月18日

⑰ 発 明 者 坂 本 幹 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

液晶表示装置用アクティブマトリクス基板

特許請求の範囲

基板上にマトリクス状に形成された半導体アクティブ素子、該アクティブ素子に一对一に接続された画素電極、該画素電極に前記アクティブ素子を通じて信号を制御及び印加するためのマトリクス配線から少なくとも構成された液晶表示装置用アクティブマトリクス基板において、前記半導体アクティブ素子がnチャネルとpチャネル両トランジスタからなるCMOS構成のトランスファージートである事を特徴とする液晶表示装置用アクティブマトリクス基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブ素子を有する液晶表示装

置用アクティブマトリクス基板に関する。
(従来の技術)

近年、CRTにかわる小型、薄型、軽量な表示装置として液晶パネルを利用したテレビやプロジェクタの開発が盛んである。特にスイッチングトランジスタやスイッチングダイオード等の半導体を用いたアクティブ素子を各画素毎に設けた液晶パネルで高画質化を図ったアクティブマトリクス液晶表示装置の開発が活発である。このような液晶表示装置は、液晶を2枚の基板ではさんだ構造で、一方は前記アクティブ素子をマトリクス状に形成したアクティブマトリクス基板、他方は少なくとも例えばガラス基板上全面に透明電極を形成してなる対向基板から構成されている。

このような液晶表示装置用アクティブマトリクス基板の模式的平面図を第2図に示す。この例ではアクティブ素子としてスイッチングトランジスタ201を用いている。スイッチングトランジスタ201としては、単結晶シリコン(c-Si)ウェハーに上に形成したMOSTランジスタ、ガラ

特開平3-50528 (2)

ス基板や石英基板等の透明基板上に形成した薄膜半導体を利用したアモルファスシリコン(a-Si)やポリシリコン(p-Si)の薄膜トランジスタ(TFT)が使用されている。MOSトランジスタの場合、基板となるウェハーが不透明なc-Siであるため画素電極104がアルミ電極等の反射型として、又d-Siやp-SiのTFTの場合、ガラス基板や石英基板等の透明基板が使用できるため画素電極104を透明電極のITOとした透過型として液晶パネルが構成されるのが一般的である。駆動方法の概略としては、第2図に示した水平駆動回路105内に外部から入力された映像信号が1ライン分サンプルホールドされ、この時垂直駆動回路106から出力されたパルスにより1ライン分のスイッチングトランジスタ201がオンとなり信号が走査されたラインに書き込まれる。以下順次走査され1フレームで1画素が書き込まれる。スイッチングトランジスタ201がオフしている時、すでに書き込まれた信号は各画素電極104に蓄積されており、次

のフレームで書き換えられる。従って一般的に、水平駆動回路105はサンプルホールド回路、垂直駆動回路106はシフトレジスタ回路から構成されている。またこの様な回路はアクティブ素子と同時に、同じ基板上に形成される場合もあるし、また別途ICチップの形で図示していないが実装基板上にハイブリッド的に搭載され、ワイヤボンディングやTAB等で接続されている場合等がある。

第3図、第4図を用いて各画素電極104に書き込まれる電位を説明する。第3図は、液晶パネルとした時の1画素の等価回路を、第4図は第3図の各点の電位を示したものである。スイッチングトランジスタ201のゲート301にゲート電位V_gが加わりハイレベルでオンすると、ドレイン302に印加された信号電位がソース(画素電極)303に加わり、対向電極304に印加された対向電位との電位差の大小により液晶をオンオフさせ、従って光のオンオフを行う。ゲート電位V_gがロウレベルに戻るとソースの画素電位はそ

のまま保持される。一般的に液晶に直流電圧を印加すると劣化するため、第4図に示す様に信号電位は、1フィールド毎に対向電位に対し交流的に加える方法がとられている。次に画素電位の詳細について説明する。理想的には、ドレイン302に印加された信号電位がそのまま加わるが、実際にはスイッチングトランジスタ201のソース〜ゲート寄生容量C_{so}305を過ぎたフィードスルーの影響を受ける。このフィードスルーは、スイッチングトランジスタ201がオフした時に働き、いずれの場合も画素電位をマイナス側に引っ張る。このため交流信号電位に対し奇数フレームと偶数フレームではその電位形状を異にする。この時対向電位は奇数フレームと偶数フレームで液晶に加わる電位差を同じとする様にフィードスルー分マイナス側に調整する。これを行わないと30Hzのフリッカが発生し画面のちらつきとなる。フィードスルーの量は、

以下余白

ゲート電位電圧

ソース〜ゲート寄生容量C_{so}

$$\times \frac{\text{液晶容量} C_{lc} + \text{ソース〜ゲート寄生容量} C_{so}}{\text{液晶容量} C_{lc} + \text{ソース〜ゲート寄生容量} C_{so}}$$
 で表わされる。例えば100μm角の画素を考え、妥当な値ゲート電位電圧20V、C_{lc}=50fF、C_{so}=15fFを挿入するとフィードスルーは約4V以上にもなる。

(発明が解決しようとする課題)

ところで液晶パネルの2枚の基板ではさまれた液晶層厚は一般的には5~10μmと薄いため、場所により厚さムラが発生する。この厚さムラはコントラストの低下を発生させるが、±10%程度であるならそれ程問題でもなくまた生産性、歩留り等の点からも上記値を許容している。ところがもう1つこの厚さムラは、液晶容量C_{lc}306のばらつきとなり従って前述した様にフィードスルーがばらつく事になる。例えば前記値で計算すると約1V近くなる。従って第4図に示した様にフィードスルーのばらつきは、対向電位のばらつきとなり、どちらか一方に合わせれば片方でフリ

特開平3-50528 (3)

ッカが発生してしまう。つまり、液晶層厚のムラがそのまま画面ちらつきのばらつきとなって画質劣化となってしまふ。さらにスイッチングトランジスタ201のソース・ゲート寄生容量C_{ss}305もアクティブマトリクス基板内でばらつく事が予想されさらに画質劣化を促進する。特にこのソース・ゲート寄生容量C_{ss}305のばらつきは基板内よりパネル内で大きく問題となるため、パネル間での対向電位の調整という工数増が必ず必要になってくる。

本発明の目的は、この様な従来の欠点を取り除いた高性能な液晶表示装置用アクティブマトリクス基板を提供する事にある。

(課題を解決するための手段)

上記目的を達成するために、本発明の液晶表示装置用アクティブマトリクス基板は、基板上にマトリクス状に形成された半導体アクティブ素子、該アクティブ素子に一对一に接続された画素電極、該画素電極に前記アクティブ素子を通じ信号を制御及び印加するためのマトリクス配線から少

なくとも構成された液晶表示装置用アクティブマトリクス基板において、前記半導体アクティブ素子がnチャネルとpチャネル両トランジスタからなるCMOS構成のトランスファークロップゲートとなっている。

(実施例)

以下、本発明の一実施例について図面を参照して説明する。

第1図は、本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の模式的平面図である。第1図において例えば図示していないがc-Siウェハー上に通常のシリコンLSIプロセスにおけるCMOS技術により各画素毎にnチャネルトランジスタ101とpチャネルトランジスタ102の抱き合わせによるCMOSTランスファークロップゲートをアクティブ素子として形成する。このCMOSプロセスは、nウェル構造であろうとpウェル構造であろうとダブルウェル構造であろうと特に限定は無い。このトランスファークロップゲート製作時に、同時に各画素毎に

CMOSインバータ103も形成しておく。これらのトランジスタに要求される性能は1ライン走査時間つまり画面対応で1フレーム16msecを水平ライン数で割った値で、例えばNTSC対応525本とすれば16msec/525≒30μsecと違い、従ってトランジスタの寸法は、製造プロセスで制限される程度まで極力小さくできる。

本実施例の場合、c-Siウェハーを用いたMOSTランジスタで説明しているため、液晶パネルとしては反射型の場合として取扱う。従って画素電極104は、水平駆動回路105からの映像信号供給ラインと同じアルミ電極で構成する事で液晶表示用アクティブマトリクス基板が完成する。この時、本発明では前記CMOSTランスファークロップゲートのnチャネルトランジスタ101とpチャネルトランジスタ102の寸法つまりチャネル長やチャネル幅を同一寸法で構成している。チャネル長とチャネル幅を等しくした場合、両チャネルトランジスタの持つソース・ゲート寄生容量

を等しくしているのと同等となる。従ってこのCMOSTランスファークロップゲートがオフする時の画素電極104のフィードスルーは、両ゲートに加わるゲートパルスが反転しているため打ち消し合ってほとんど発生しない。従って従来技術で問題となっていたフィードスルーのばらつきだけでなくフィードスルーそのものも発生しない構成となっている。通常CMOSTランスファークロップゲートは、nチャネルトランジスタ101とpチャネルトランジスタ102の性能を合わせるためと為漏れ度を上げるためにnチャネルトランジスタ101の寸法つまりチャネル長とチャネル幅の比をpチャネルトランジスタ102に比べ移動度の大きい方だけ小さくしている。ところが液晶パネル用アクティブ素子としては先に述べた様に速度的には早くないため性能と為漏れ度は、nチャネルトランジスタ101とpチャネルトランジスタ102の寸法比にはほとんど無関係になっている。このため、本発明の構成でも特に問題とならない。

本実施例では、c-Siウェハーを用いた反射

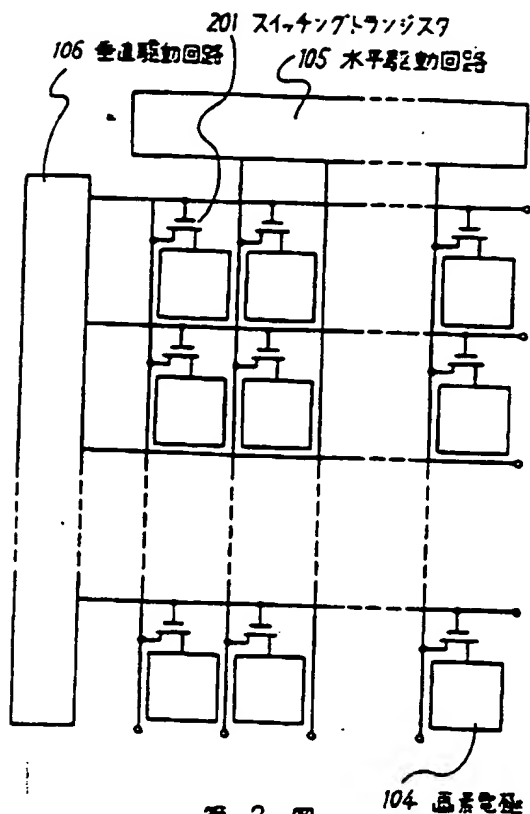
以上説明した様に、本発明の液晶表示装置用アクティブマトリクス基板によれば、アクティブ素子にCMS構成のトランスファーマゲートを用いし、しかもnチャネルトランジスタ101とpチャネルトランジスタ102の寸法比を同じにするという

代理人 弁理士 内 原 豊

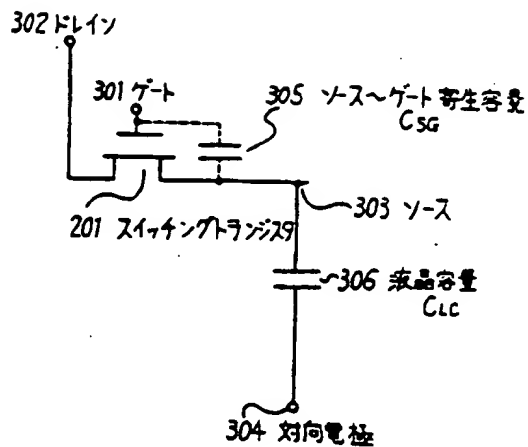
101…nチャネルトランジスタ、102…
Pチャネルトランジスタ、103…インバータ、
104…調整電圧、105…水平駆動回路、10
6…垂直駆動回路、201…スイッチングトラン



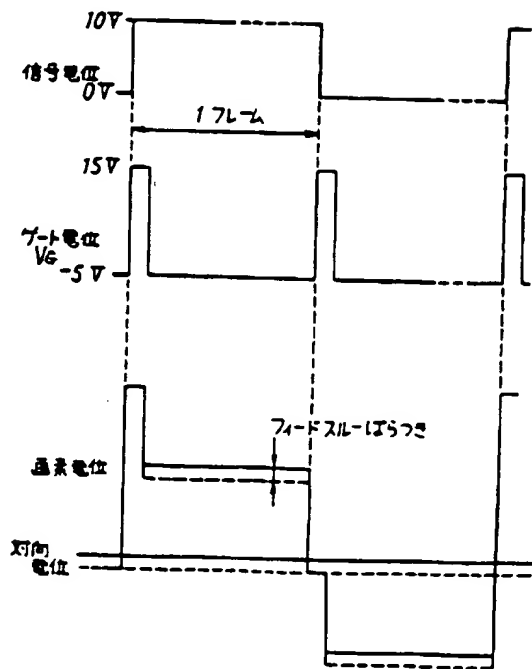
特開平3-50528 (5)



第 2 図



第 3 図



第 4 図